

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-100632

(43) 公開日 平成5年(1993)4月23日

(51) Int. Cl.<sup>5</sup>

識別記号 庁内整理番号

F I

技術表示箇所

G 0 9 G 3/20

W 8621-5G

// G 0 9 G 3/38

7926-5G

審査請求 未請求 請求項の数1(全 6 頁)

(21) 出願番号 特願平3-260188

(22) 出願日 平成3年(1991)10月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 修士

東京都港区芝五丁目7番1号日本電気株式会社内

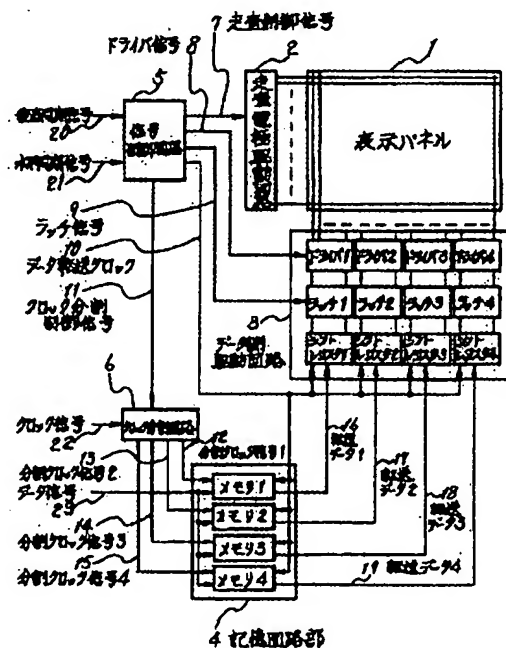
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 表示装置のデータ側駆動回路のシフトレジスタの駆動周波数を下げる。

【構成】 データ側駆動回路を複数の小データ側駆動回路に分割し、各小データ側駆動回路のシフトレジスタへの1走査分のデータを記憶回路に蓄えた後、各小データ側駆動回路のシフトレジスタへ並列かつ同時にデータを転送する回路を有している。



## 【特許請求の範囲】

【請求項1】 走査側電極には走査側駆動回路から順次的に表示用電圧を印加しておき、データ側電極にはデータ側駆動回路から1回の走査で表示するセル数に応じたデータをシフトレジスタへ転送し転送終了後、走査と同期してシフトレジスタ内の全データをラッチへ移動させラッチ内データに従い表示の有無を決定する電圧を印加する表示装置において、データ側駆動回路を複数の小データ側駆動回路に分割し、各小データ側駆動回路のシフトレジスタへの1走査分のデータを記憶回路に蓄えた後、各小データ側駆動回路のシフトレジスタへ並列かつ同時にデータを転送することを特徴とする表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、表示装置に関し、特にダイナミック駆動型表示装置のデータ側駆動回路へのデータ転送方式に関する。

【0002】

【従来の技術】 従来の表示装置では、図3に示すように垂直同期信号20と水平同期信号21を入力して、走査制御信号26とドライバ信号27とラッチ信号28を出力する信号制御回路25と、走査側駆動回路2とデータ側駆動回路24と表示パネル1を有している。データ側駆動回路24は、ドライバとラッチとシフトレジスタで構成される。クロック信号22は、データ信号23と同期したドットクロックである。

【0003】 図4に表示容量640×400ドットのXYマトリクス型表示装置の入力信号と表示の関係を表わすタイミング図を示す。表示は、第1ラインから第400ラインまで、水平同期信号21に従い線順次に行なわれ、垂直同期信号20を基準として繰り返される。水平同期信号の1周期内に1走査ライン上の表示セル640個に対応したデータ信号23がシリアルに入力され、クロック信号22に同期している。1走査ライン分のデータ640個は、データ側駆動回路24のシフトレジスタへ転送されたのち水平同期信号21によりラッチへ移される。各表示セルの表示は、ラッチ内のデータにより決定され、水平同期信号の1周期間、すなわち1走査期間行なわれる。

【0004】

【発明が解決しようとする課題】 この従来の表示装置では、データ信号23をシリアルにシフトレジスタへ転送するため、表示容量の増加に比例してクロック信号22とデータ信号23の周波数が高くなるため、動作周波数の高いシフトレジスタが必要であった。

【0005】

【課題を解決するための手段】 本発明の表示装置は、データ側駆動回路を複数の小データ側駆動回路に分割し、各小データ側駆動回路のシフトレジスタへの1走査分のデータを記憶回路に蓄えた後、各小データ側駆動回路の

シフトレジスタへ並列かつ同時にデータを転送する回路を備えている。

【0006】

【実施例】 次に本発明について図面を参照して説明する。図1は本発明の一実施例のブロック図である。信号側駆動回路5は、垂直同期信号20と水平同期信号21を入力して、走査制御信号7とドライバ信号8とラッチ信号9とデータ転送クロック10とクロック分割制御信号11を出力する。クロック分割回路6は、クロック信号22を分割クロック信号1〜4に時分割して出力する。メモリ1〜3には、分割クロック信号1〜4でデータ信号23を書き込み、データ転送クロック10で転送データ1〜4を読み出す。

【0007】 データ側駆動回路3は、ドライバ、ラッチ、シフトレジスタが1〜4の4クロックに分かれており、ドライバ1〜4は表示パネル1のデータ側電極を駆動する。一方、走査側駆動回路2は、表示パネル1の走査側電極を駆動する。表示パネル1の表示セルは、走査側電極とデータ側電極の交点である。

【0008】 以上の構成により、シリアル入力のデータ信号23は、分割クロック信号1〜4により、シフトレジスタ1〜4に対応したデータがメモリ1〜4へ時分割に振り分けられ、メモリ1にはシフトレジスタ1用のデータ、メモリ2にはシフトレジスタ2用のデータ、メモリ3にはシフトレジスタ3用のデータ、メモリ4にはシフトレジスタ4用のデータが格納される。メモリ1〜4に格納されたデータは、データ転送クロック10により読み出され、転送データ1〜4となるため、シフトレジスタ1〜4への転送周波数はデータ転送クロック10で決まるが、データ信号23が、転送データ1〜4の4ビットに変換されるため、データ転送クロック10は、クロック信号22の4分の1の周波数にすることができる。

【0009】 図2に図1に示す実施例の表示容量640×400ドットの場合の入力信号とデータ転送クロックと転送データ1〜4と表示の関係を表わすタイミング図を表す。データ転送クロックは、水平同期信号の1周期内に640の4分の1である160パルス存在し、クロック信号の4分周された周波数である。転送データ1〜4は、データ信号が記憶回路4に蓄えられた後に読み出された信号であるため、水平同期信号の1周期分データ信号より遅れている。従って、表示はさらに水平同期信号の1周期分遅れて発生する。

【0010】

【発明の効果】 以上説明したように本発明は、データ側駆動回路を分割し、それぞれのシフトレジスタへ並列にデータを転送する変換回路を設けたので、シフトレジスタへのデータ転送速度を下げる事が可能である。また、データ側駆動回路の分割数より、データ転送速度の分周数を低くすれば、シフトレジスタへのデータ転送処

理時間が短くなるという効果も有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】図1に示した実施例の表示容量が640×400ドットの場合のタイミング図である。

【図3】従来の表示装置のブロック図である。

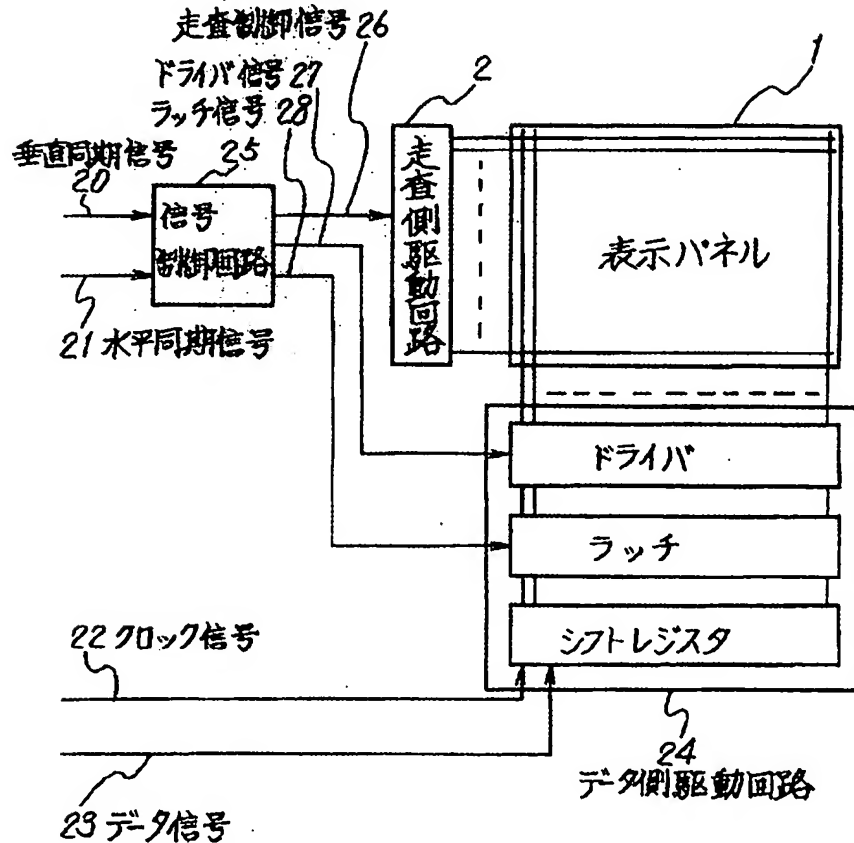
【図4】従来の表示装置の表示容量が640×400ドットの場合のタイミング図である。

【符号の説明】

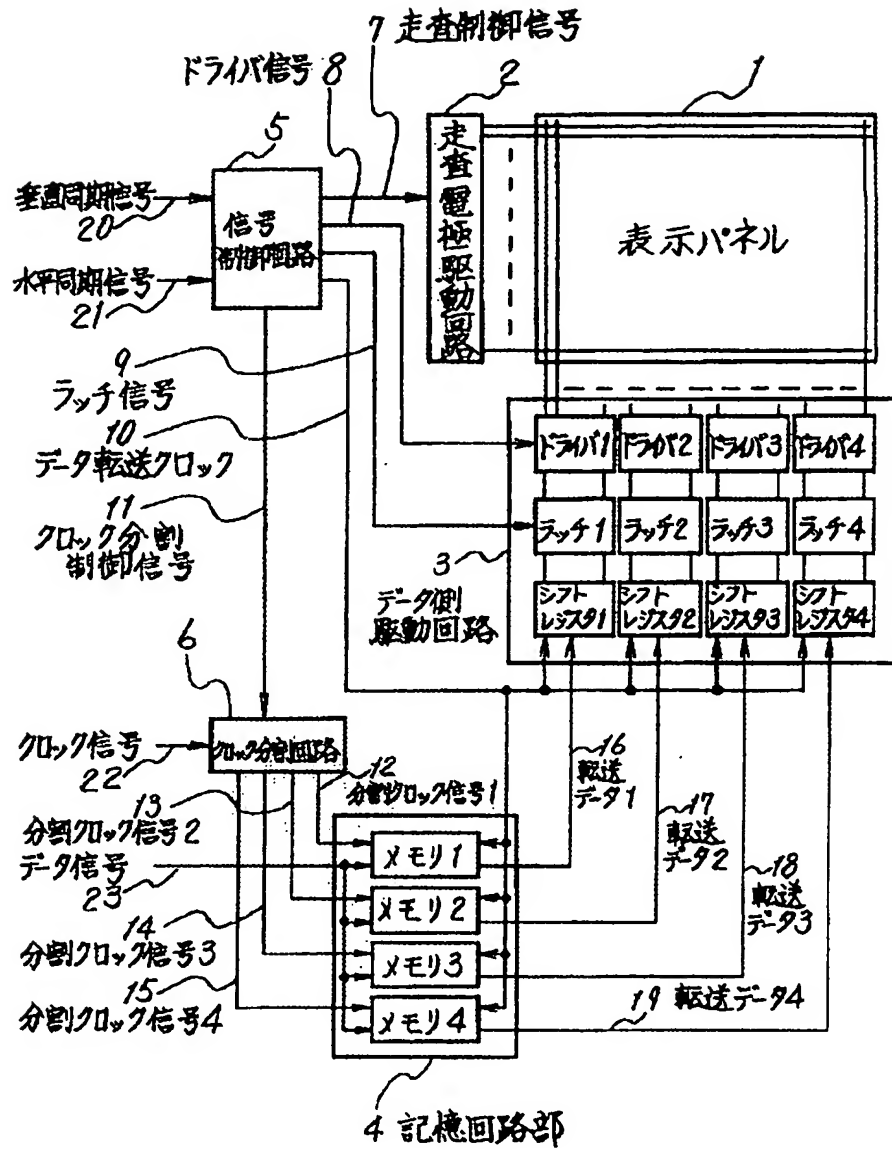
- 1 表示パネル
- 2 走査側駆動回路
- 3, 24 データ側駆動回路
- 4 記憶回路部
- 5, 25 信号制御回路
- 6 クロック分割回路
- 7, 26 走査制御信号

- 8, 27 ドライバ信号
- 9, 28 ラッチ信号
- 10 データ転送クロック
- 11 クロック分割制御信号
- 12 分割クロック信号1
- 13 分割クロック信号2
- 14 分割クロック信号3
- 15 分割クロック信号4
- 16 転送データ1
- 17 転送データ2
- 18 転送データ3
- 19 転送データ4
- 20 垂直同期信号
- 21 水平同期信号
- 22 クロック信号
- 23 データ信号

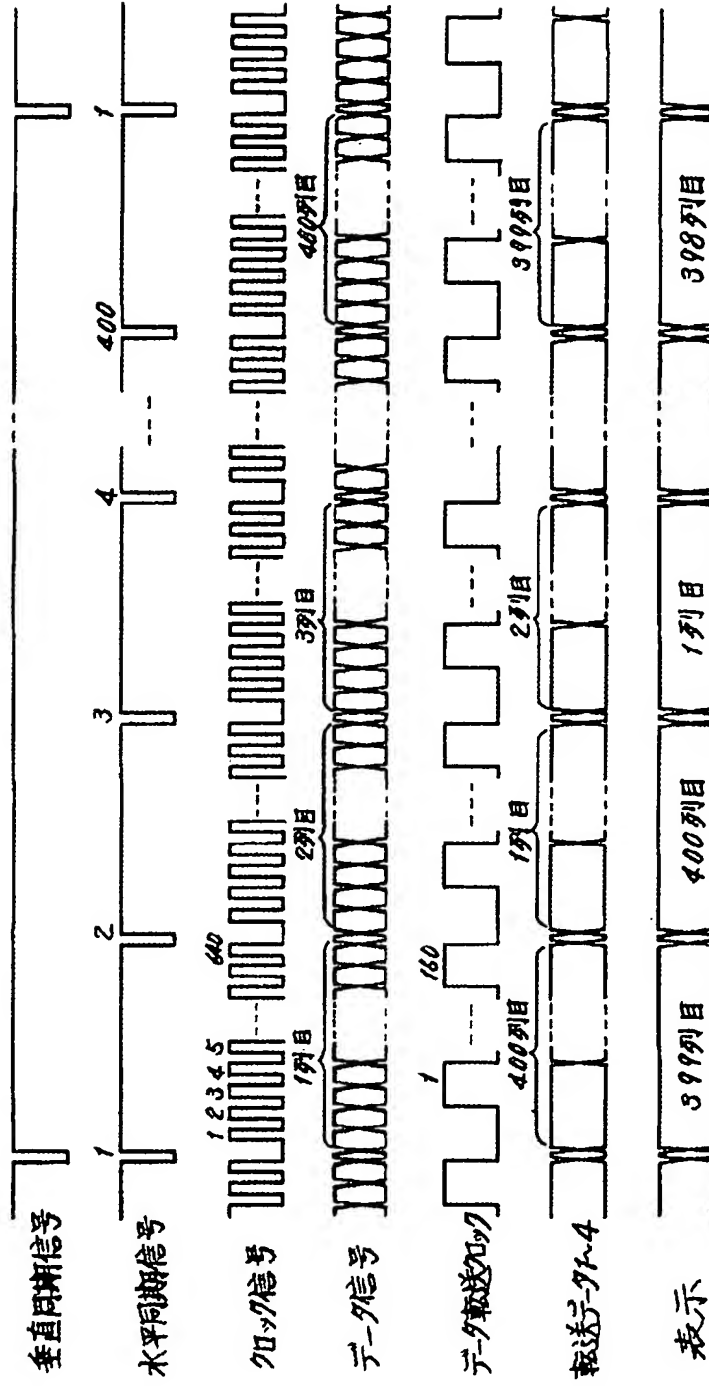
【図3】



【図1】



【図2】



〔図4〕

